

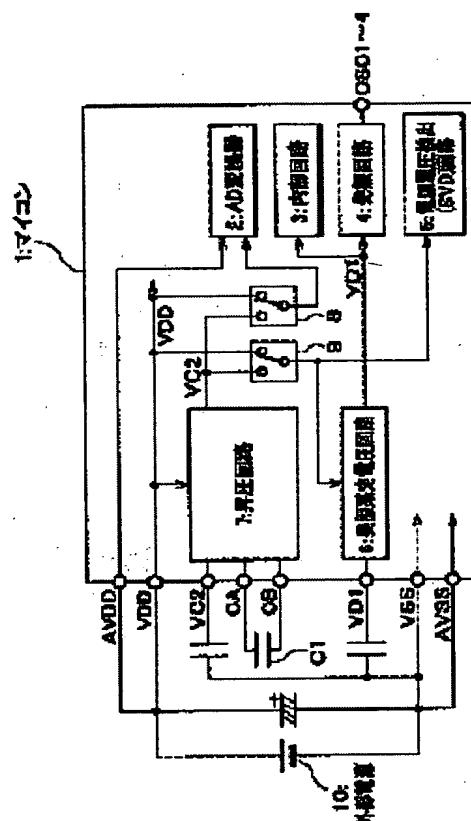
SEMICONDUCTOR DEVICE AND A/D CONVERTER

Patent number: JP2003179492
Publication date: 2003-06-27
Inventor: ABE SUKEYUKI
Applicant: SEIKO EPSON CORP
Classification:
 - **International:** H03M1/38; H03K19/00; H03K19/094
 - **European:**
Application number: JP20020290010 20021002
Priority number(s):

Abstract of JP2003179492

PROBLEM TO BE SOLVED: To expand the utilizable extent of an A/D converter that is said to require a power-supply voltage in a specific range by making the converter operable even when the power-supply voltage is lower than specified and, in addition, to extend the drivable period of battery-driven portable equipment, etc., by means of a battery by effectively utilizing the small amount of the remaining energy in the battery even when the power-supply voltage drops as the battery is consumed as a countermeasure to the consumption of the battery.

SOLUTION: The A/D converter has an A/D-converting circuit, a power-supply voltage-detecting circuit, and a booster circuit. The voltage-detecting circuit compares the power-supply voltage with a specified voltage. When the power-supply voltage is lower than specified, the voltage-detecting circuit outputs an actuating signal to the booster circuit and inputs the output of the booster circuit to the A/D-conversion circuit. When the power-supply voltage is higher than specified, the generating circuit inputs the power-supply voltage to the A/D-conversion circuit.



THIS PAGE BLANK (USPTO)

資料②(先願)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-179492

(P 2 0 0 3 - 1 7 9 4 9 2 A)

(43) 公開日 平成15年 6 月 27 日 (2003. 6. 27)

(51) Int. Cl. ⁷	識別記号	F I	チーマコード ¹	(参考)
H03M 1/38		H03M 1/38	5J022	
H03K 19/00		H03K 19/00	A 5J056	
19/094		19/094	C	

審査請求 有 請求項の数 6 O L (全12頁)

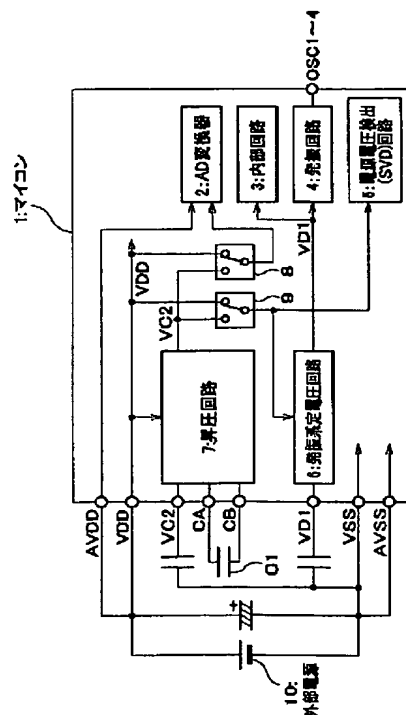
(21) 出願番号	特願2002-290010 (P 2002-290010)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22) 出願日	平成14年10月 2 日 (2002. 10. 2)	(72) 発明者	阿部 祐之 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
(31) 優先権主張番号	特願2001-306889 (P2001-306889)	(74) 代理人	100095728 弁理士 上柳 雅誉 (外 2 名)
(32) 優先日	平成13年10月 2 日 (2001. 10. 2)	F ターム(参考)	5J022 AA02 CA03 CD04 CE01 CE08 5J056 AA00 BB18 CC10 CC29 CC30 DD28 DD51 FF07 FF08 GG09
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびAD変換器

(57) 【要約】

【課題】 規定範囲の電源電圧が必要とされていたAD変換器を、規定値より低い電源電圧であっても動作可能とし、当該AD変換器の利用範囲を広げたい。また、電池駆動の携帯機器類における電池消耗対策として、電池消耗に伴って電源電圧が低下した場合でも、その電池の少ない残余エネルギーを有効利用し、結果的に電池での駆動可能な時間を延長したい。

【解決手段】 AD変換回路と電源電圧検出回路と昇圧回路を有し、前記電源電圧検出回路は電源電圧と規定電圧とを比較し、電源電圧が規定値電圧より低い場合は、前記昇圧回路へ動作信号を出力し、前記昇圧回路の出力を前記AD変換回路に入力し、電源電圧が規定値電圧より高い場合は、電源電圧を前記AD変換回路に入力する。



【特許請求の範囲】

【請求項 1】 AD変換回路と電源電圧検出回路と昇圧回路を有し、前記電源電圧検出回路は電源電圧と規定値電圧とを比較し、電源電圧が規定値電圧より低い場合は、前記昇圧回路へ動作信号を出力し、前記昇圧回路の出力を前記 AD変換回路に入力し、電源電圧が規定値電圧より高い場合は、電源電圧を前記 AD変換回路に入力することを特徴とする半導体装置。

【請求項 2】 AD変換回路と電源電圧選択回路と昇圧回路を有し、前記電源電圧選択回路が昇圧回路動作信号を出力すると、該昇圧回路動作信号は前記昇圧回路に入力され昇圧電圧を出力し、前記昇圧電圧は前記 AD変換回路に入力されることを特徴とする半導体装置。

【請求項 3】 前記昇圧回路はチャージポンプであることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 逐次変換型 AD変換器において、逐次変換レジスタと、第 1 のしきい値電圧を有するトランジスタを含む第 1 のインバータ回路と前記第 1 のしきい値より低い第 2 のしきい値電圧を有するトランジスタを含む第 2 のインバータ回路とを含むチョッパアンプと、制御回路とを有し、前記制御回路は、前記第 1 のインバータ回路と前記第 2 インバータ回路の少なくとも一方を選択する選択信号を出力し、前記選択信号により選択されたインバータ回路の出力を逐次変換レジスタに入力することを特徴とする AD変換器。

【請求項 5】 逐次変換型 AD変換器において、逐次変換レジスタと、第 1 のしきい値電圧を有するトランジスタを含む第 1 のインバータ回路と前記第 1 のしきい値より低い第 2 のしきい値電圧を有するトランジスタを含む第 2 のインバータ回路とを含むチョッパアンプと、制御回路とを有し、前記制御回路は、前記第 1 のインバータ回路と前記第 2 インバータ回路の少なくとも一方を選択する選択信号を出力し、前記選択信号により選択されたインバータ回路の出力をレベルシフタに入力し、前記レベルシフタの出力を逐次変換レジスタに入力することを特徴とする AD変換器。

【請求項 6】 請求項 4 または請求項 5 記載の AD変換器において、前記制御回路は電源電圧が規定電圧より高い場合は前記第 1 のインバータ回路を選択する選択信号を出力し、前記制御回路は電源電圧が規定電圧以下の場合は前記第 2 のインバータ回路を選択する選択信号を出力することを特徴とする AD変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電池の消耗等によってある程度の電圧低下を余儀なくされる電源を用いた携帯機器等において、アナログ信号をデジタル信号に変換する AD変換器を、通常使用可能な規定値より低下した電源電圧でも使用可能にした AD変換器の回路に関する。

【0002】

【従来の技術】 従来、データを出力する制御部と、制御部から出力されるデータに対応したデューティの PWM 回路信号を生成して出力する AD変換器がある（例えば、特許文献 1 参照）。また、逐次比較型 AD変換器、コンパレータやシュミット回路の他、チョッパアンプで構成された AD変換器があった。また、適宜にマルチプレクサ等を具備するなどして、各種商品化されているものがある。

【0003】 また、図示せぬ周知の半導体チップに IC（集積回路）として生成されたマイクロコンピュータ（以下、「マイコン」と称す）の内部にある AD変換器を、正常に動作させるために必要な最低電源電圧は、マイコン内部の発振回路をシングルクロック動作させた場合で 1.35V のものがあり、前記発振回路を 3.4MHz でダブルクロック動作させた場合は 2.2V と高くなるのが普通である。

【0004】 さらに、このマイコンを応用した機器において、ブザーを鳴らしたり、ランプを点灯させると、消費電流の増加に応じ、電池の内部インピーダンス等により、電圧降下するので、そのような機能を伴う携帯機器の場合は、マイコンに対し、これを正常に動作させるために必要な最低電源電圧に関して、一層厳しい制約条件を与えてしまうことになる。

【0005】 従って、これらのマイコン及び AD変換器を利用する場合、設計上の制約条件となる使用可能な電源電圧の下限値は低いほど良い。そのように、電源電圧がより低い値でも動作するならば、電池の消耗にも強く、実質的に電池寿命が延長されることになるので、携帯機器への応用には、さらに好適となり、かつ応用範囲が広げられる。

【0006】 そこで、本発明では従来からあるこの種の AD変換器における、使用可能な電源電圧の下限値と考えられていたレベルよりも、さらに低い電圧でも正常な動作が保証される AD変換器を、安価に提供することを目的としている。

【0007】

【特許文献 1】 特開 2001-102927 号公報

【0008】

【課題を解決するための手段】 本発明の半導体装置は、AD変換回路と電源電圧検出回路と昇圧回路を有し、前記電源電圧検出回路は電源電圧と規定値電圧とを比較し、電源電圧が規定値電圧より低い場合は、前記昇圧回路へ動作信号を出力し、前記昇圧回路の出力を前記 AD変換回路に入力し、電源電圧が規定値電圧より高い場合は、電源電圧を前記 AD変換回路に入力することを特徴とする。また、本発明の半導体装置は、AD変換回路と電源電圧選択回路と昇圧回路を有し、前記電源電圧選択回路が昇圧回路動作信号を出力すると、該昇圧回路動作信号は前記昇圧回路に入力され昇圧電圧を出力し、前記

昇圧電圧は前記AD変換回路に入力されることを特徴とする。ここで、前記昇圧回路はチャージポンプとすることにより、昇圧電圧供給時の消費電力を低減させても良い。

【0009】本発明のAD変換器は、逐次変換型AD変換器であり、逐次変換レジスタと、第1のしきい値電圧を有するトランジスタを含む第1のインバータ回路と前記第1のしきい値より低い第2のしきい値電圧を有するトランジスタを含む第2のインバータ回路とを含むチョッパアンプと、制御回路とを有し、前記制御回路は、前記第1のインバータ回路と前記第2インバータ回路の少なくとも一方を選択する選択信号を出力し、前記選択信号により選択されたインバータ回路の出力を逐次変換レジスタに入力することを特徴とする。

【0010】また、本発明のAD変換器は、逐次変換型AD変換器であり、逐次変換レジスタと、第1のしきい値電圧を有するトランジスタを含む第1のインバータ回路と前記第1のしきい値より低い第2のしきい値電圧を有するトランジスタを含む第2のインバータ回路とを含むチョッパアンプと、制御回路とを有し、前記制御回路は、前記第1のインバータ回路と前記第2インバータ回路の少なくとも一方を選択する選択信号を出力し、前記選択信号により選択されたインバータ回路の出力をレベルシフタに入力し、前記レベルシフタの出力を逐次変換レジスタに入力することを特徴とする。

【0011】前記AD変換器において、前記制御回路は電源電圧が規定電圧より高い場合は前記第1のインバータ回路を選択する選択信号を出力し、前記制御回路は電源電圧が規定電圧以下の場合は前記第2のインバータ回路を選択する選択信号を出力する構成としても良い。

【0012】

【発明の実施の形態】以下、図面を参照して、本発明に係るAD変換器を説明する。図1はマイコン1の電源系の構成を示すブロック図である。このマイコン1は、ヘッドフォンステレオ等、電池駆動のため小型軽量かつ低消費電力であることを必要とする各種携帯機器への応用に好適なものである。ただし、マイコン1の本来の基本動作に関しては周知技術なので、詳細な説明を省略する。なお、マイコンに必須のROM及びRAM等は、本発明の説明には不要なので図示していない。

【0013】図1に示す、マイコン1はワンチップ上に、AD変換器2及び、そのAD変換器2を使用して、図示しない入力キーを選別可能な特殊入力ポート等の他、ROMやRAM、内部回路3、発振回路4、電源電圧検出回路Supply Voltage Detector（以下、「SVD回路」と称す）5、を内蔵した。これらは各種の電池による外部電源（以下、「電池」と称す）10から正の電源電圧VDDと負の電源電圧VSSの供給を受けて動作する。

【0014】また、発振回路4が異なる動作（OSC1 50

～4）することに関しては、後述する。なお、前記した電池10から直接供給される正の電圧VDD及び負の電源電圧VSSに対して、正のアナログ電源電圧AVDD及び負のアナログ電圧AVSSは、図1では同一線路上だが、後の説明の都合上、分けて表示する。

【0015】図1において、前記電池10の状態が良好な時は、規定の正電圧VDDが切換スイッチ8を介してAD変換器2に供給される他、切換スイッチ9を介してSVD回路5及び発振系定電圧回路6にも供給されている。発振系定電圧回路6からは低電圧安定化された電圧VD1を内部回路3及び発振回路4に安定的に供給している。

【0016】そして、電池10の電圧AVDDが規定値以下に低下した場合にも、その僅かな残存エネルギーを最後まで有効利用できるように、必要に応じて昇圧操作した電源電圧を確保する。すなわち、SVD回路5により、電池10の電圧VDDが規定値以下に低下したことを感知された結果、切換スイッチ8と切換スイッチ9が連動して昇圧電圧VC2供給モードに切り換わる。この時、マイコン1の動作を維持するために、規定値以下に低下した正電圧VDDは昇圧回路7により昇圧電圧VC2にまで昇圧され、その昇圧電圧VC2が切換スイッチ8を介してAD変換器2に印加され、AD変換器2の正常な機能を維持する。

【0017】一方、切換スイッチ9を介して、昇圧電圧VC2は、発振系定電圧回路6及びSVD回路5にも供給されるので、発振系定電圧回路6からは定電圧安定化された電圧VD1を内部回路3及び発振回路4に安定的に供給でき、SVD回路5は昇圧電圧VC2供給モードになっている状態をモニターチェックできる。なお、昇圧回路7に外部接続されているコンデンサC1と、その両端子CA、CBに関しては、図7及び図9に沿って後述する。

【0018】そして、その後にSVD回路5に入力される電圧がさらに低下したならば、その時点では既に電池10の消耗により、電池交換または充電その他の電源増強手段による他は、マイコン1の動作を維持させることが出来ない段階である旨が判定されるので、マイコン1が誤動作して実害の出ないうちに、安全確実な手順で機能停止させるプログラムを実行すれば良い。

【0019】逆に、SVD回路5に入力される昇圧電圧VC2が、規定値以上に上昇したならば、切換スイッチ8と切換スイッチ9を連動して昇圧電圧VC2供給モードから通常モードに切り換える。これは、このマイコン1を応用した機器において、前述のようにブザーを鳴らしたり、ランプを点灯させた場合に、その最中にのみ一時的に電源電圧が降下するので、その原因が解消し、電源電圧が回復すれば、それにより昇圧電圧VC2供給モードから通常モードに切り換わることを意味する。また、昇圧電圧VC2供給モードでは消費電流値が増加す

るので、不必要と判断されたならば、速やかに通常モードに戻すべきである。

【0020】また、発振回路4が動作するOSC1~4の違いに関し、シングルクロック (OSC1、2) は32.768KHzの水晶発振、またはCR発振であり、ツインクロック (OSC3、4) 動作は2MHzのCR発振、または4MHzのセラミック発振 (OSC4) 動作の区別を、マスクオプションやソフトウェアにより選択できる。OSC1は発振回路の入力、OSC2は出力、OSC3は発振回路の入力、OSC4は出力である。このように、マイコン1の発振回路4にはツインクロック仕様として、2種類の発振回路が内蔵されており、これらの選択は、通常動作時にはOSC1系の発振回路を使用し、高速動作が必要な時にOSC3系の発振回路に切り換える。

【0021】発振系定電圧回路6に必要な最低電圧×消費電流は発振回路4を、シングルクロック (OSC1) 動作させた場合で1.3V×4μAであり、発振回路4を4MHzでツインクロック動作させた場合は2.2V×900μAである。このように、発振回路4が機能する電圧レベルの違いによっても、その発振回路4に供給する電圧VD1の適正值が異なる。

【0022】従って、マイコン1が高速動作を必要とする時に、ソフトウェアがCR発振回路またはセラミック発振回路に切替わると同時に、OSC3またはOSC4に切り換わるのと同時に、発振系定電圧回路6から定電圧安定化された適正值の電圧VD1を内部回路3及び発振回路4に安定的に供給し、ソフトウェアの制御により昇圧電圧VC2供給モードへと切り換える。

【0023】つぎに、図1に示した電源電圧検出回路 (SVD5) に関し、図2に示すSVD回路図により、具体的な動作を説明する。オペアンプ11による周知のコンパレータ回路である。オペアンプ11のマイナス入力端子には基準電圧VREFを1.0Vで常時印加し、プラス入力端子には、検出すべき電源電圧AVDDに比例した電圧を入力し、その電源電圧AVDDが規定値よりも高いか低いかを監視している。

【0024】ただし、検出すべき電源電圧は、正のアナログの電源電圧AVDDと負のアナログの電源電圧AVSSの間に、AVSSの側から順にNチャンネルMOSトランジスタ (以下「N・MOS・Tr」と略す) 12のソースと、ドレインと、分割用の抵抗R1と、同R2を直列接続し、抵抗R1と、同R2の接続部を分圧点13として、そこから抵抗分割される (R1/R1+R2) AVDDなる電圧が基準電圧VREFとの比較において、基準電圧VREFよりも高ければオペアンプ11からHIレベルの (以下、「H」と略す) 信号出力され、インバータ14で反転され、ラッチ15を経由してLOWレベルの (以下、「L」と略す) 信号出力される。

【0025】ここでは、ラッチ15の出力を正の電源電圧 (以下、単に「電源」とも略す) VDDが規定値内に有る場合はDBON=Lとし、電圧が低下した場合はDBON=Hとする制御信号を設定している。このことは、検出すべき電源電圧VDDが規定値よりも高いので、特段の昇圧操作は不要であることを意味し、DBON=Lと表す。DBON=Lでは昇圧回路7は働かない。逆に、検出すべき電源電圧が規定値よりも低ければ、ラッチ15を経由してH出力され、図7に沿って後述するように、チャージポンプが動作し、昇圧回路7が働く。

【0026】また、SVD5を動作させる場合には、N・MOS・Tr12とP・MOS・Tr16のゲートに、それぞれSVD-ONとしてH信号を与え、N・MOS・Tr12のドレインとソースの間を導通させ、抵抗R1と同R2の接続部からなる分圧点13に前記抵抗分割された電圧を発生し、その電圧をSVD5で検出できるようにする一方、P・MOS・Tr16のドレインとソース間を非導通とし、オペアンプ11によるコンパレータ出力を正しくインバータ14へ入力するように、SVD5を動作させている。

【0027】逆に、SVD5を動作させない場合には、N・MOS・Tr12とP・MOS・Tr16のゲートに、それぞれSVD-OFFとしてL信号を与え、N・MOS・Tr12のドレインとソースの間の非導通とし、分圧点13を電源電圧AVDDに持ち上げてオペアンプ11によるコンパレータ出力をHにし、P・MOS・Tr16のドレインとソースの間を導通させ、インバータ14にH入力し、これを反転し、ラッチ15を経由してL出力される。このことは、検出すべき電源電圧AVDDがどうであれ、DBON=L出力する。従って、昇圧回路7は働かない。

【0028】つぎに、図3 (a) に示す電源選択Power Source Select (以下、「PSS」と略す) 回路図及び、同図 (b) に示す略図に沿って、その動作を説明する。PSS回路20は必要に応じて、電源の供給経路を切り換え操作する回路であり、そのための信号VDSLは、昇圧電圧VC2供給モードと、通常モードとの切り換え信号であり、その信号VDSLがHで昇圧電圧VC2供給モード、すなわち図3 (b) におけるVC2側のスイッチがONの状態になり、信号VDSLがLで通常モード、すなわち図3 (b) におけるVDD側のスイッチがONの状態になり、電池10から直接供給される正の電圧VDDそのままを、正のアナログ電源電圧AVDとして用いるように、PSS回路20を切り換え操作する。

【0029】具体的には、図3 (a) に示すPSS回路図における、信号VDSLのHとLの変化を、インバータ21~24を介し、必要とするHとLに作り変えてから、P・MOS・Tr25~28のゲートに印加し、そ

れぞれのドレインとソースの間の導通状態を、適切に切り換えるように PSS 回路 20 を制御する。さらに、レベルシフタ 29 を信号 VDSL の入力部とインバータ 23 の間に介在させ、PSS 回路 20 の切り換え動作が、正確であるように、電源電圧の変動にも影響され難くしている。

【0030】そして、信号 VDSL が H で、P・MOS・Tr 25, 26 のゲートに H を印加し、それぞれのドレインとソースの間を非導通とし、電池 10 から直接供給される正の電圧 VDD が、正のアナログ電源電圧 AVDD として、そのままには用いられないように遮断する。一方、P・MOS・Tr 27, 28 のゲートを L にし、それぞれのドレインとソースの間を導通し、電池 10 の電圧 VDD を、昇圧回路 7 (図 7 参照) により昇圧した昇圧電圧 VC2 をアナログ電源電圧 AVDD として用いるように、PSS 回路 20 を切り換え操作する。

【0031】逆に、信号 VDSL が L では、P・MOS・Tr 25, 26 のゲートを L にし、それぞれのドレインとソースの間を導通し、電池 10 の電圧 VDD を、正のアナログ電源電圧 AVDD として、そのまま用いる。一方、P・MOS・Tr 27, 28 のゲートを H にし、それぞれのドレインとソースの間を遮断し、昇圧電圧 VC2 がアナログ電源電圧 AVDD として用いられないように、その経路を遮断する。このように、PSS 回路 20 を切り換え操作する。

【0032】つぎに、図 4 に示す AD 変換器の構成を示すブロック図に沿って、その動作を説明する。AD 変換器 30 は周知の逐次比較式 AD 変換器であり、アナログ信号 AVIN1 ~ AVIN4 を、アナログマルチプレクサ 31 で適宜に選択された AVIN を、CR アレー・デコーダ (以下、「デコーダ」と称す) 32 に入力し、逐次変換レジスタ 33 を介して、ラッチ 34 からデジタル信号を出力する。また、デコーダ 32 から逐次変換レジスタ 33 へは、チョッパンプ 35 で寸断波形にした信号を増幅しながら周知の逐次比較式 AD 変換器の機能を果たすように接続され、これらの全体を制御回路 36 で統合的に制御している。

【0033】すなわち、アナログマルチプレクサ 31 と、デコーダ 32 と、逐次変換レジスタ 33 と、ラッチ 34 と、チョッパンプ 35 には制御回路 36 から所定の制御信号が送られ、その制御信号により、AD 変換器 30 全体が統一的に制御されて動作する。なお、その制御信号に関しては、概ね周知であるが、その周知の点以外に関しては後述する。また、前記制御信号により、チョッパンプ 35 の機能を切り換えて、①動作速度を高めたり (図 1 における OSC1 ~ 4 参照)、②昇圧機能を持たせたりすることも考えられる。

【0034】ここで、図 3 に示したように、電源電圧 VDD に応じて、その電源の供給経路を切り換える電源選択 (PSS) 回路 20 が、適切なアナログ電源電圧 AV

DD をデコーダ 32 へ供給している。従って、電池 10 から直接供給される正の電圧 VDD が、ある程度以下に下落してチョッパンプ 35 が動作不能になる場合、すなわち、そのチョッパンプ 35 の最低動作電圧 VTH を下回らせる程に、低すぎて悪影響を及ぼす電圧の電源 VDD が、デコーダ 32 へ供給された場合には、その電源電圧 VDD を高め、前記最低値 VTH を超えさせることのできる電源電圧まで昇圧させる昇圧回路 7 (図 7 参照) と、その昇圧された昇圧電圧 VC2 を、PSS 回路 20 により、AD 変換器 30 の必要箇所 (図示せず) に電源供給し、チョッパンプ 35 の最低動作電圧 VTH を上回るようにして、AD 変換器 30 の機能を維持させる。

【0035】そして、アナログマルチプレクサ 31 へのアナログの信号 AVIN1 ~ 4 を、適宜に切り換えた信号 AVIN を、デコーダ 32 へ入力する。デコーダ 32 は周知の逐次変換レジスタ 33 及び、出力バッファを有するデータ・ラッチ (以下、「ラッチ」と略す) 34 との間でデータ交換及び変換を行う。デコーダ 32 から得られる信号 AVIN を、チョッパンプ 35 により、周知の寸断波形による信号増幅しながらアナログ信号からデジタル信号へと変換し、ラッチ 34 を経由してデジタル出力する。

【0036】つぎに、図 5 は複合型のチョッパンプの回路図であり、その動作指令の一覧表を図 6 に示すので、それらの図面に沿って、動作を説明する。図 5 に示す複合型のチョッパンプ 35 は、最低動作電圧 VTH が一般的な値のトランジスタにより構成された第 1 のチョッパンプ 100 と、そのチョッパンプ 100 の最低動作電圧 VTH を下回らせる程に、低すぎる電圧の電源 VDD が供給された場合にも、機能を維持できるように、最低動作電圧 VTH が通常より低いトランジスタにより構成された第 2 のチョッパンプ 200 とを併せて持っている。

【0037】そして、図 2 で示した SVD 回路 5 の作用により、電源 VDD の電圧が規定値の下限より高い場合は DBON=L とし、下限値以下に電圧が低下した場合は DBON=H とする制御信号により、第 1 のチョッパンプ 100 と、第 2 のチョッパンプ 200 とを適宜に切り換えることにより、電池 10 の消耗により電源 VDD の電圧が低下しても、許容限度の最低値が下がり、使用可能な範囲が広がる。図 5 及び図 6 においては、図 4 に示した信号 AVIN がデコーダ 32 を経由し、チョッパンプ 35 で増幅され、逐次変換レジスタ 33 へ入力されるまでの経路と、チョッパンプ 35 に対して、制御回路 36 から発せられる制御信号 ADON, SEL1, SEL2, CNT (図 5 のみ) により適切に制御されて動作する様子を説明する。

【0038】ここで、制御信号 ADON は、AD 変換器 30 を動作させるときに H レベル (以下、「H」と略

す)を制御信号として出力し、P・MOS・Tr 37のゲートをHにし、ドレインとソースの間を遮断し、アナログ電源電圧AVDDがインバータ38に入力されないようにし、そのインバータ38へ入力する信号を正しく反転させて出力し、それらをレベルシフタ39へ入力し、レベルシフト後に逐次変換レジスタ33(図4参照)へ入力する。

【0039】逆に、制御信号ADONがL(以下、「L」と略す)であれば、P・MOS・Tr 37のゲートをLにし、ドレインとソースの間を導通し、アナログ電源電圧AVDDをインバータ38に入力し、そのインバータ38に入力する信号が何であれ、常時Lを出力するので、レベルシフタ39も常時Lを入出力し、AD変換器30は動作停止する。

【0040】また、図6に示す動作指令の一覧表のように、各種制御信号の切り換えタイミングが設定されている。ここで、制御信号ADONはそのH-Lレベルに伴ってAD変換器30をON-OFFする。また、制御信号DBONはそのH-Lレベルに伴って昇圧モードをON-OFFする。

【0041】そして、制御信号SEL1と制御信号SEL2の関係は、制御信号ADONがLの時は、制御信号SEL1=L、SEL2=Lと両方共にLの信号であるが、制御信号ADONがHの時には、制御信号SEL1=H、SEL2=Lまたは制御信号SEL1=L、SEL2=Hと互いにH-Lレベルの信号が相反し、そのH-Lレベルの信号は制御信号DBONのH-Lレベル変化に伴って反転する。

【0042】これら各種制御信号の切り換えタイミング通りに、チョッパンプ35の回路が動作する。また、P・MOS・Tr 46のゲート及びN・MOS・Tr 47のゲートの接続部と、P・MOS・Tr 46及びN・MOS・Tr 47の直列接続部との間にアナログスイッチ40を介装させている。このアナログスイッチ40は、制御信号CNTによりOFFされた状態で、チョッパンプ35が機能する。

【0043】そして、前述した制御信号SEL1と制御信号SEL2の切り換えタイミングによれば、制御信号SEL1がHの時、P・MOS・Tr 45及びN・MOS・Tr 48それぞれのドレインとソースの間をONさせる。したがって、P・MOS・Tr 45、46及びN・MOS・Tr 47、48が直列接続されてなる第1のチョッパンプ100が動作する。

【0044】また、制御信号SEL2がHの時、P・MOS・Tr 49及びN・MOS・Tr 52それぞれドレインとソースの間をONさせる。したがって、P・MOS・Tr 49、50及びN・MOS・Tr 51、52が直列接続されてなる第2のチョッパンプ200が動作する。

【0045】ここで、第1のチョッパンプ100は動

作可能な最低値VTHの値が、トランジスタ1個あたり0.6V程度の、通常のトランジスタにより構成され、その4個分を直列接続しているため、正常に動作させるためには、約2.4V以上の電源VDDが供給されている必要がある。

【0046】しかし、そのチョッパンプ100の動作可能な最低値VTH=約2.4Vを下回る電圧の電源VDDが供給された場合には、動作可能な最低値VTHの値が、トランジスタ1個あたり0.3V程度と、通常より低めのトランジスタにより構成された第2のチョッパンプ200に切り換えることにより、そのトランジスタ4個分を直列接続しているため、約1.2V以上の電源VDDが供給されていれば、動作可能となる。すなわち、電源VDDへの制約条件が緩和されることになる。

【0047】なお、制御信号SEL1と制御信号SEL2の関係は、同時にはHにならないように設定してあるので、関連するTrを交互にON-OFFさせ、第1のチョッパンプ100と、第2のチョッパンプ200を適切に二者択一するように切り換える。

【0048】ここで、制御信号DBONがH、すなわち電源電圧VCCの電圧値が不足の場合に、より低い電圧VTHでも動作するように、制御信号SEL2をHとし、第2のチョッパンプ200を動作させ、有効な許容動作範囲を低い方に拡大し、目的を達成する。このようにして、複合型のチョッパンプが、電源VDDの電圧変動に対応して、通常の動作可能な限界を超えて、より低い電圧でも動作する。

【0049】また、制御信号ADONがLになるのに伴って、P・MOS・Tr 37がONし、インバータ38はH入力し、L出力する。制御信号DBONのH-Lレベルのいかに関わらず、制御信号SEL1、SEL2は常時L(図6参照)なので、P・MOS・Tr 45、49はOFFし、N・MOS・Tr 48、52もOFFする。このことにより、第1のチョッパンプ100と第2のチョッパンプ200は動作を停止し、前述のインバータ38はL出力し、レベルシフタ39もL出力するので、結果的にAD変換器30がOFFされる。

【0050】つぎに、図7に示す2倍昇圧型チャージポンプによる昇圧回路7(図1参照)の回路図に沿って、その動作を説明する。図7において、NANDゲート53、54へ、昇圧モードにする制御信号DBONと昇圧クロックFA、FB(図8参照)が入力され、所定のタイミングでH-Lの制御信号を出力し、レベルシフタ55、56またはインバータ57を介装して、P・MOS・Tr 58、59、60とN・MOS・Tr 61のゲートにH-Lの制御信号を出力し、2倍昇圧型チャージポンプによる昇圧回路7を、必要に応じて作動させる。

【0051】ここで、図7に示す昇圧回路7の具体的な動作に関し、図8及び図9を併用して説明する。図8は昇圧モードにする制御信号DBONと昇圧クロックF

A, FBのタイミングチャートである。図9は図7に示す昇圧回路7の動作を説明するための模式回路図であり、(a)は充電時、(b)は解放時、(c)は2倍昇圧時の接続態様である。図9における各符号に関し、図1及び図7で同一効果のものを共通にし、それらの説明を省略しており、また「P・MOS・Tr」と「N・MOS・Tr」に関し、どちらも「Tr」と略している。

【0052】昇圧モードにする制御信号DBONがL (T1期間) の場合は、NANDゲート53, 54は共にH出力し、それをゲートにH入力されたP・MOS・Tr 58, 59, 60はオープンとなる。また、インバータ57によりHを反転してL出力し、ゲートにそのH入力されたN・MOS・Tr 61もショートする。したがって、制御信号DBONがL (T1期間) の場合は、昇圧回路7の動作は停止する。

【0053】つぎに、制御信号DBONがH (T2期間) の場合は、昇圧クロックFAがHの時に、P・MOS・Tr 59, 61はショートとなり、FBがL (T3期間) の時に、P・MOS・Tr 60とN・MOS・Tr 61はオープンとなる。昇圧クロックFAがL (T4, 5, 6期間) の時に、P・MOS・Tr 59, 61はオープンとなり、FBがH (T4期間) の時に、P・MOS・Tr 60とN・MOS・Tr 61はショートとなる。FAとFBとを交互にH, Lを繰り返すことにより、FAがHの時にコンデンサC1に蓄電し、CB-C A間電圧がVDD-VSSに近づく。次に、FBがHの時にコンデンサC1に蓄電された電圧をP・MOS・Tr 59, 60の接続ノードに供給される電圧VDDと重ね合わせ、コンデンサC2に蓄電することにより、VC2を出力する。

【0054】なお、図9 (a) 充電時、(b) 解放時、(c) 2倍昇圧時の接続態様に示す順に、所定の周波数で繰り返すことにより、2倍昇圧型チャージポンプによる昇圧動作するが、周知の回路なので、それらの動作原理に関する説明は省略する。ただし、図8に示した昇圧クロックFA (T3期間) にTr 59, 61がONすることにより図9 (a) に示す充電時となり、昇圧クロックFB (T4期間) にTr 58, 60がONすることにより図9 (c) に示す2倍昇圧時となる。

【0055】また、昇圧クロックFA (T3期間) と昇圧クロックFB (T4期間) の間に図9 (b) に示す解放時として、Tr 58~60の全てがOFFするT5, T6期間を設定し、電池10やコンデンサC1の短絡電流による各部の破損を防いでいる。

【0056】つぎに、図10に示すアナログマルチプレクサの回路図及び、図11に示すアナログスイッチ単独の内部回路図に沿って、AD変換器30 (図4参照) への入力信号の接続経路を切り換える入力切換スイッチに関して説明する。これは図4で示した、アナログマルチプレクサ31へのアナログの信号AVIN1~4を、適

宜に4者択一して切り換えた信号AVINを、デコーダ32へ入力するものである。

【0057】そして、アナログの信号AVIN1~4がそれぞれ入力されるアナログスイッチ71~74を4者択一的にONするように、アナログスイッチ71~74には、それぞれにON-OFFの制御信号を送って制御する。

【0058】さらに図11に示すアナログスイッチ単独の内部回路図に沿って、アナログスイッチ71~74の回路構成とそれらのON-OFF動作を説明する。なお、アナログスイッチ71~74は4個ともに同一構造である。

【0059】図11において、直列接続されたP・MOS・Tr 75, 76の接続点に信号AVIN1が入力され、ここで、P・MOS・Tr 75, 76の一方のゲートにLの制御信号が付与されるとP・MOS・Tr 75, 76がONするので、P・MOS・Tr 75, 76の直列接続の両端からアナログ信号AVIN1を出力する。なお、P・MOS・Tr 75, 76の他方のゲートには正のアナログ電源電圧AVDDが印加されている。

【0060】また、直列接続されたN・MOS・Tr 77, 78の接続点に信号AVIN1が入力され、ここで、N・MOS・Tr 77, 78の一方のゲートにHの制御信号が付与されるとN・MOS・Tr 77, 78がONするので、N・MOS・Tr 77, 78の直列接続の両端からアナログ信号AVIN1を出力する。なお、N・MOS・Tr 77, 78の他方のゲートには負のアナログ電源電圧AVSSが印加されている。

【0061】そして、制御信号CNT1のH-Lは、アナログスイッチ71のON-OFFに対応させるように、レベルシフタ79と、インバータ80, 81を、その順に信号接続し、その接続点、すなわちインバータ80の出力が、P・MOS・Tr 75, 76の一方のゲートに制御信号として付与され、インバータ81の出力が、N・MOS・Tr 77, 78の一方のゲートに制御信号として付与される。

【0062】また、アナログスイッチ71において、アナログ信号AVIN1を出力するところには、P・MOS・Tr 82とN・MOS・Tr 83それぞれのドレイン・ゲートが共通に接続されており、P・MOS・Tr 82のゲートには制御信号としてインバータ81の出力が付与され、他方のゲートには正のアナログ電源電圧AVDDが印加されている。さらに、N・MOS・Tr 83のゲートには制御信号としてインバータ80の出力が付与され、他方のゲートには負のアナログ電源電圧AVSSが印加されている。これらP・MOS・Tr 82とN・MOS・Tr 83の接続により、アナログスイッチ71が、スイッチング動作する際の寄生容量により発生する、ノイズをキャンセルする。

【0063】ここで、通常のオン抵抗で動作する通常型

のマルチプレクサ 31 (図 4、及び図 10 参照) と、通常よりも低いオン抵抗で動作する低抵抗型のマルチプレクサ (図示しないが図 10 と同様の回路図) と、AD 変換器 30 の動作可能な最低値を下回る電圧の電源が供給された場合には前記通常型のマルチプレクサ 31 から前記低抵抗型のマルチプレクサへと、入力信号の接続経路を切り換えるようにすると、電源電圧 VDD が規定以下に低下しても使用可能となる。

【0064】具体的には、IC を構成する半導体の占積率が通常程度で成る通常型のマルチプレクサ 31 と、前記占積率が通常よりも大きい低抵抗型のマルチプレクサ (図示せず) と、AD 変換器 31 の動作可能な最低動作電圧 VTH を下回る電圧の電源が供給された場合には、前記通常型のマルチプレクサ 31 から前記低抵抗型のマルチプレクサへと、入力信号の接続経路を切り換えるようにすると良い。

【0065】

【発明の効果】以上説明したように構成したので、請求項 1 から請求項 3 に係る本発明によれば、これらの AD 変換器及びマイコンを利用した製品の、設計及び使用上の制約条件となる使用可能な電源電圧の下限値が下げられる。そのように、電源電圧がより低い値でも動作するならば、電池の消耗にも強く、実質的に電池寿命が延長されることになるので、携帯機器への応用には、さらに好適となり、かつ応用範囲が広げられる。

【図面の簡単な説明】

【図 1】 本発明の実施の一形態を示す、マイコンの電源系の構成を示すブロック図である。

【図 2】 電源電圧検出 (SVD) 回路図である。

【図 3】 (a) は電源選択 (PSS) 回路図であり、(b) はその略図である。

【図 4】 AD 変換器の構成を示すブロック図である。

【図 5】 複合型のチョッパアンプの回路図である。

【図 6】 図 5 に示すチョッパアンプの制御信号の一覧表である。

【図 7】 昇圧回路の回路図である。

【図 8】 図 7 に示す昇圧回路の動作を説明するタイミングチャートである。

【図 9】 図 7 に示す昇圧回路の動作を説明する模式回路図であり、(a) は充電時、(b) は解放時、(c) は 2 倍昇圧時の接続態様である。

【図 10】 アナログマルチプレクサの回路図である。

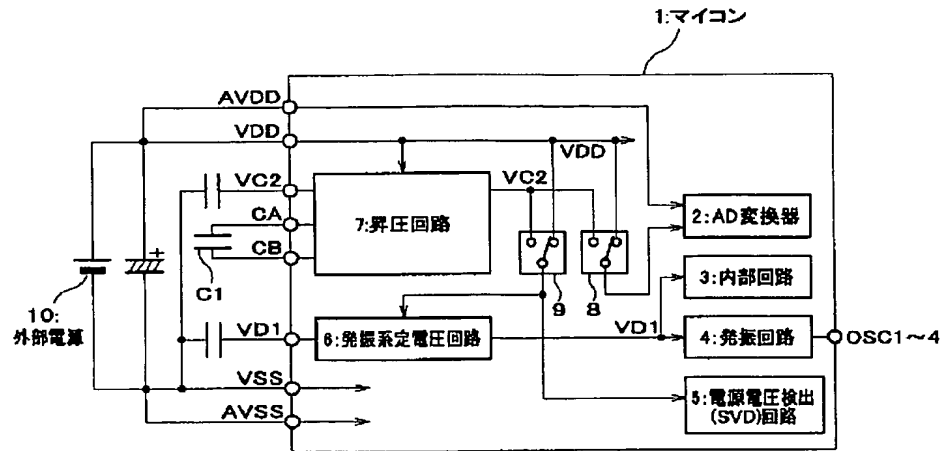
【図 11】 アナログスイッチ単独の内部回路図である。

【符号の説明】

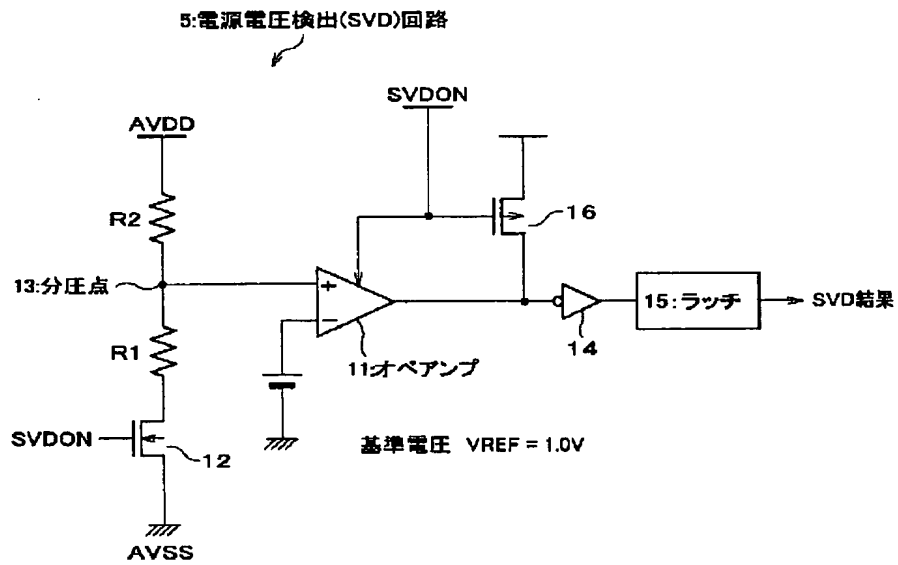
- 1 マイコン
- 2, 30 AD 変換器
- 3 内部回路
- 4 発振回路
- 5 電源電圧検出 (SVD) 回路

- 6 発振系定電圧回路
- 7 昇圧回路
- 8, 9 切換スイッチ
- 10 電池
- 11 オペアンプ
- 13 分圧点
- 14, 80, 81 インバータ
- 15 ラッチ
- 12, 47, 48, 51, 52, 61, 77, 78, 83 N チャンネル MOS トランジスタ
- 16, 25~28, 37, 45, 46, 49, 50, 58, 59, 60, 75, 76, 82 P チャンネル MOS トランジスタ
- 14, 21~24, 38, 57 インバータ
- 20 電源選択 (PSS) 回路
- 31 アナログマルチプレクサ
- 32 CR アレー・デコーダ
- 33 逐次変換レジスタ
- 34 ラッチ
- 35 チョッパアンプ
- 36 制御回路
- 39, 70 レベルシフタ
- 40, 71, ~74 アナログスイッチ
- 55, 56 レベルシフタ
- 100 第 1 のチョッパアンプ
- 200 第 2 のチョッパアンプ
- ADON AD 変換器を動作させる制御信号
- AVIN1~AV4 アナログ信号
- AVDD 正のアナログ電源電圧
- AVSS 負のアナログ電源電圧
- C1, C2 コンデンサ
- CA, CB 端子
- CNT AD 変換器を動作させない制御信号
- CNT1~4 マルチプレクサのアナログスイッチを ON させる制御信号
- DBON 電源 VDD の電圧が低下した場合に H とする制御信号
- R1, R2 抵抗
- SEL1 通常モードにする制御信号
- SEL2 昇圧モードにする制御信号
- VC2 昇圧電圧
- VD1 発振系定電圧回路 6 により低電圧安定化された電圧
- VDD 正の電源電圧
- VDSL 昇圧電圧 VC2 供給モードと、通常モードとの切り換えスイッチ操作するための信号
- VREF 基準電圧
- VSS 負の電源電圧
- VTH 最低動作電圧

【図1】



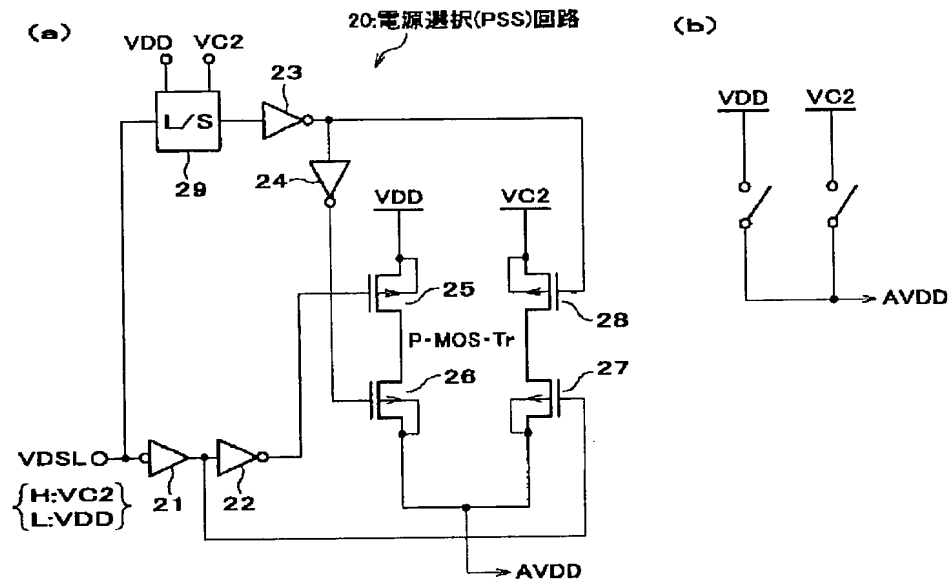
【図2】



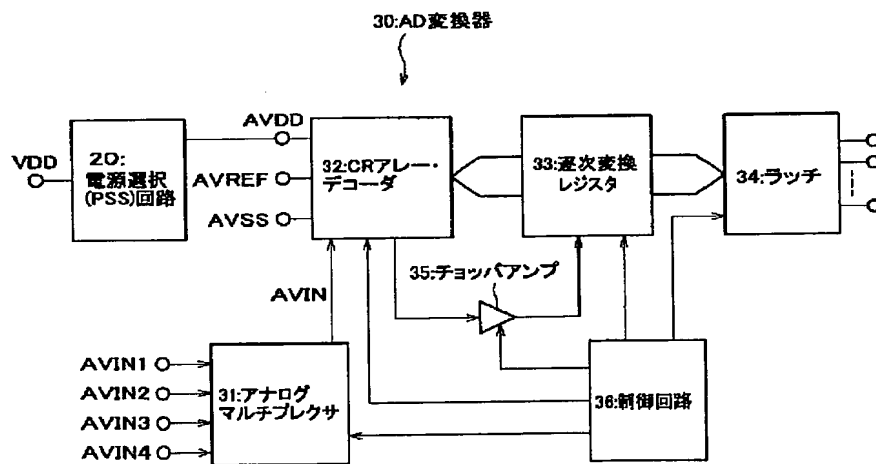
【図6】

ADON	DBON	SEL1	SEL2	チョッパンプ
H	L	H	L	100のみが動作
	H	L	H	200のみが動作
L	L	L	L	停止

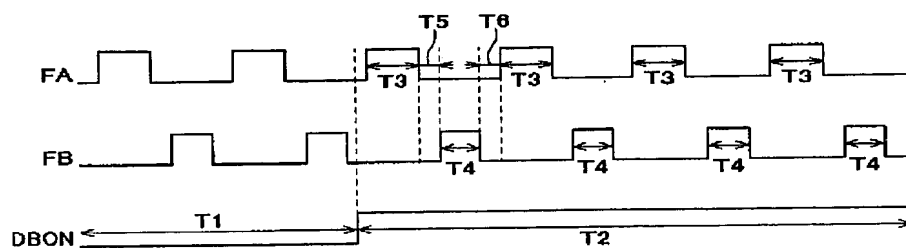
【図 3】



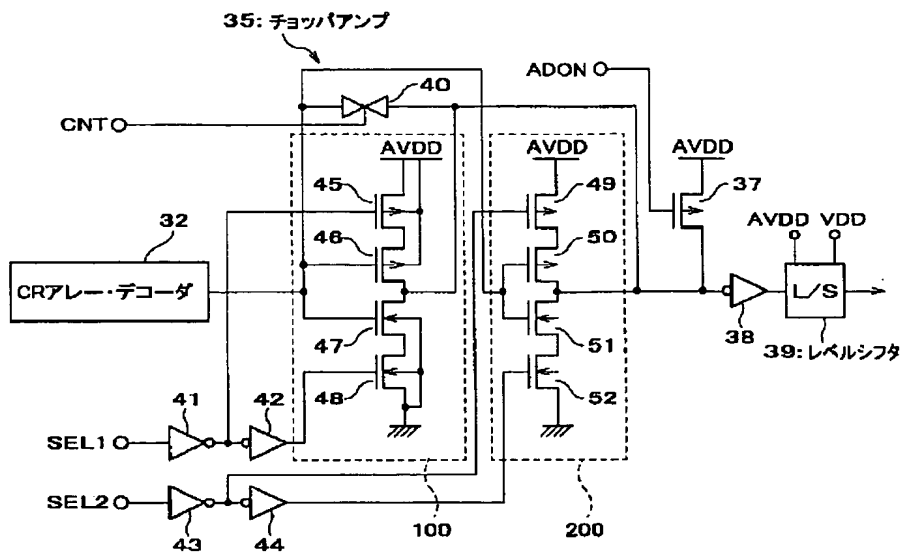
【図 4】



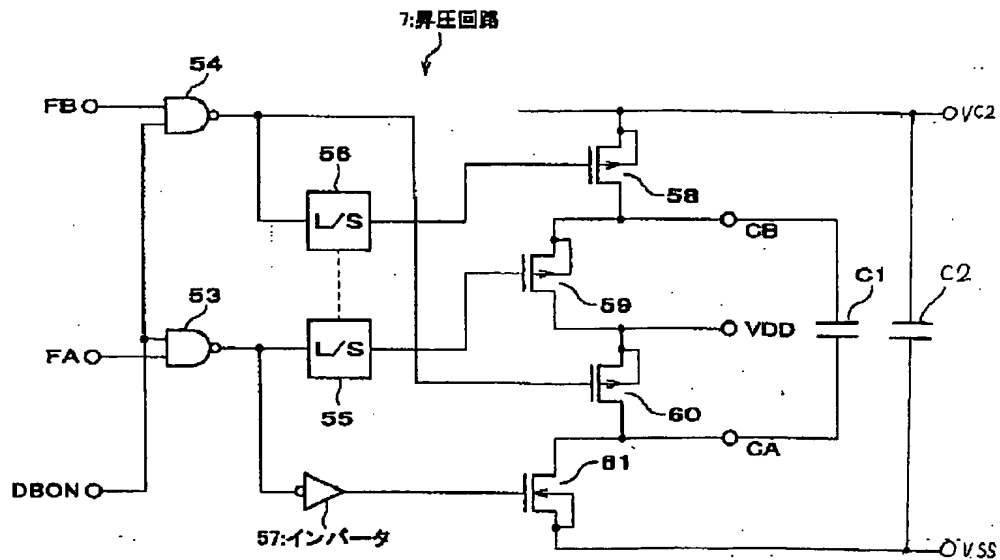
【図 8】



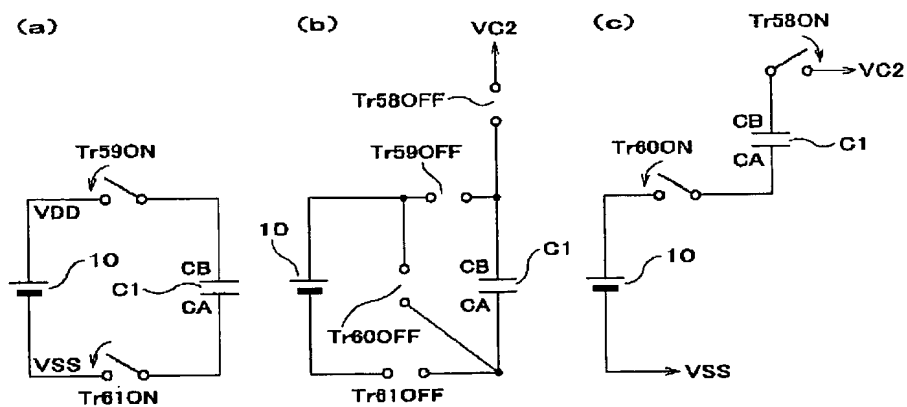
【図 5】



【図 7】

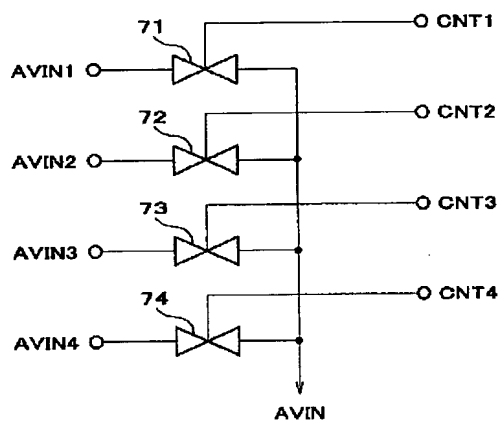


【図 9】



【図 10】

31: アナログマルチプレクサ



【図 11】

71: アナログスイッチ

